Actividades de la Semana 1. Repaso de conocimientos previos al curso.

A continuación se muestra un temario de los conocimientos previos requeridos para el curso de Circuitos Digitales. Es responsabilidad del alumno aprender estos temas al menos a un nivel básico.

Conocimientos previos en circuitos eléctricos:

- Conceptos de carga, corriente, voltaje y potencia.
- Ley de Ohm
- Fórmula de potencia
- Divisor de voltaje
- Carga y descarga del capacitor
- Fuente de voltaje ideal
- Fuente de voltaje con resistencia de salida
- Fuente de corriente ideal
- Fuente de corriente con resistencia de salida
- Fuente de corriente controlada por voltaje

Conocimientos previos en sistemas digitales:

- Lógica Booleana y su relación con sistemas digitales.
- Símbolos y tablas de verdad de las compuertas lógicas básicas: Inversor, AND, OR, NAND, NOR.
- Funciones Booleanas y su relación con los diagramas de circuitos lógicos.
- Aplicación del Teorema de De Morgan para obtener diferentes símbolos para una misma compuerta lógica.
- Aplicación del Teorema de De Morgan para la simplificación de diagramas de circuitos lógicos.
- Mapas de Karnaugh aplicados para la realización de una función lógica como suma de mintérminos, o bien como producto de maxtérminos.

Resuelva los siguientes problemas.

1. Calcule el voltaje, la corriente y la potencia en cada uno de los componentes de la Figura 1.

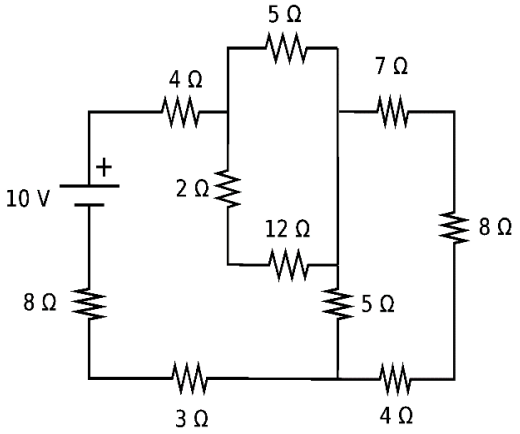


Figura 1.

2. En el circuito de la Figura 2 calcule

a) la constante de tiempo del circuito.
b) Suponiendo que el capacitor está inicialmente descargado y el interruptor se cierra en el tiempo t=0s, calcule la corriente por el capacitor i_c, el voltaje del capacitor v_c, la corriente por la resistencia i_r y el voltaje por la resistencia v_r para para los tiempos t={0, 15, 30, 45, 60, 75, 90}s.
c) Trace cuatro gráficas con los resultados del inciso anterior.
d) Diga cuál es el voltaje en el capacitor al terminar el proceso de carga.

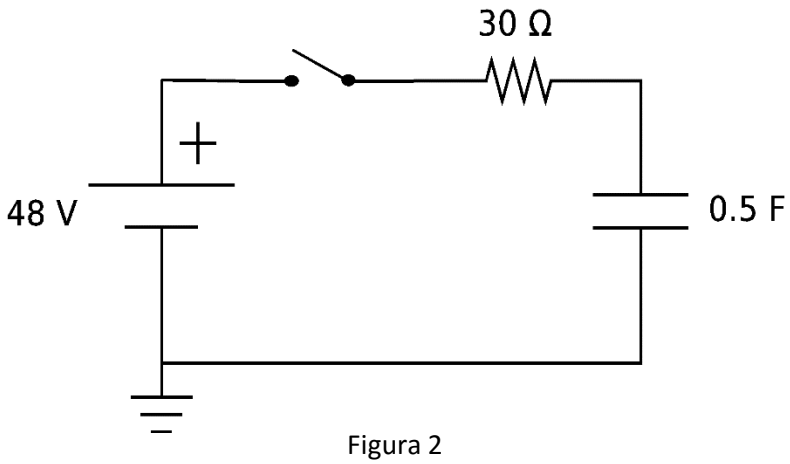


Figura 2

3. En el circuito de la Figura 3 calcule

a) La constante de tiempo del circuito.
b) Suponiendo que el interruptor está inicialmente cerrado y que éste se abre en el tiempo t=0s, calcule la corriente por el capacitor i_c, el voltaje del capacitor v_c, la corriente por la resistencia i_r y el voltaje por la resistencia v_r para los tiempos t={0, 15, 30, 45, 60, 75, 90}s.
c) Trace cuatro gráficas con los resultados del inciso anterior.
d) Diga cuál es el voltaje en el capacitor al terminar el proceso de descarga.

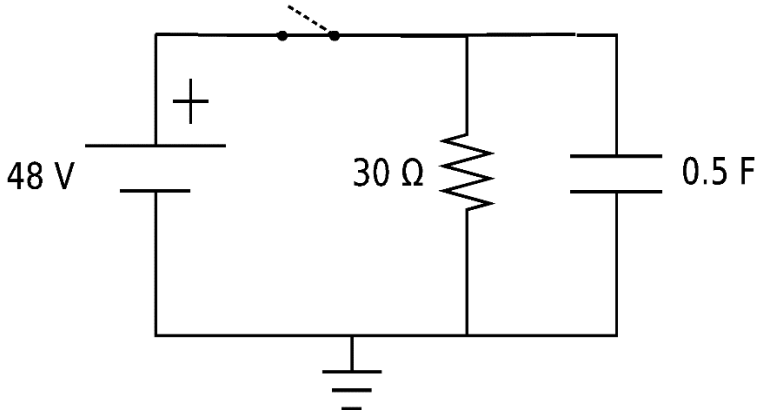


Figura 3

3. El circuito de la Figura 4 contiene una fuente de corriente controlada por voltaje. Determine el valor del voltaje Vout.

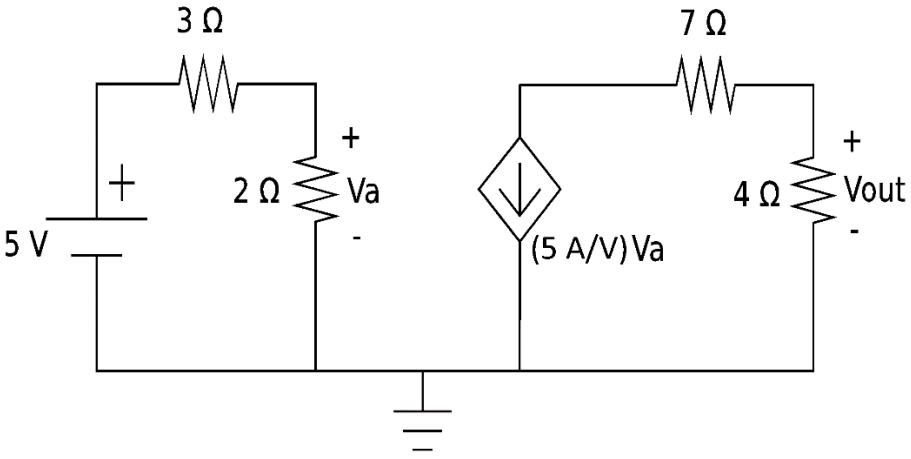


Figura 4.

4. Completa la Tabla 1, a partir del diagrama lógico de la Fig. 5.

A	B	C	D	OUT
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Tabla 1.

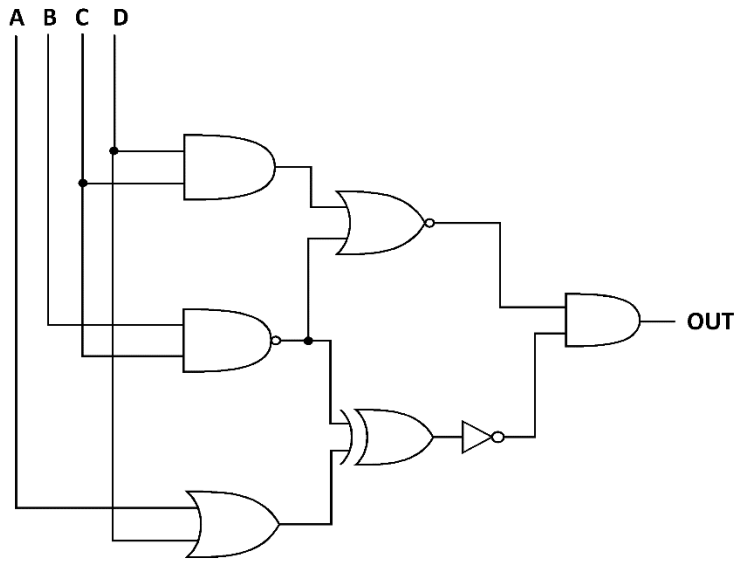


Figura 5.

5. La función lógica F para detectar los números primos de 3 bits se describe en la siguiente tabla de verdad (Tabla 2). Realice lo siguiente:

a) Represente la función F empleando un mapa de Karnaugh.
b) Represente la función mediante una suma de productos.
c) Apliqué el teorema de De Morgan para obtener un diagrama lógico de la función empleando sólo compuertas NAND.
d) Represente la función mediante un producto de sumas.
e) Apliqué el teorema de De Morgan para obtener un diagrama lógico de la función empleando sólo compuertas NOR.

A	B	C	F
0	0	0	**0**
0	0	1	**0**
0	1	0	**1**
0	1	1	**1**
1	0	0	**0**
1	0	1	**1**
1	1	0	**0**
1	1	1	**1**

Tabla 2.

6. Solicite al profesor el **software** para la simulación de circuitos en SPICE, el manual de usuario correspondiente, así como el **Archivo** de **Set-up** para la tecnología **"On Semiconductor C5"** (el archivo de Set-up son los modelos SPICE de los transistores MOSFET). Solicite también una presentación de guía para el uso de SPICE. Opcionalmente usted puede obtener los modelos en https://www.mosis.com/pages/Technical/Testdata/ami-c5-prm

1 Entregable:

Un reporte en Word o en PDF con los 6 ejercicios.

Bibliografía

Para los problemas de circuitos eléctricos:

- **Análisis de Circuitos en Ingeniería**, 7a edición, William H. Hayt, Jack E. Kemmerly and Steven M. Durbin, McGraw-Hill, México, 2007

Para los problemas de carga y descarga del capacitor, ver el libro de Hayt y el apéndice en el libro de Sedra

- **Circuitos Microelectrónicos**, 5a edición, Adel S. Sedra , McGraw-Hill, México, 2006

Para los problemas de circuitos lógicos:

- **Diseño Digital Principios y Practicas**, 3a edición, John F. Wakerly, Prentice Hall, México, 2006.

Actividades de la semana 2: Proceso de fabricación CMOS

1. Lea el apéndice A (Tecnología de Fabricación VLSI) del libro Circuitos Microelectrónicos de Sedra-Smith.

2. Realice un resumen del tema: "**Pasos de fabricación de un CI**". Busque imágenes en Internet para ilustrar el resumen.

3. Realice un resumen del tema: "**Proceso CMOS de pozo *n***" listando y definiendo los pasos de la figura **A.3**. Busque imágenes en Internet para ilustrar el resumen.

1 Entregable:

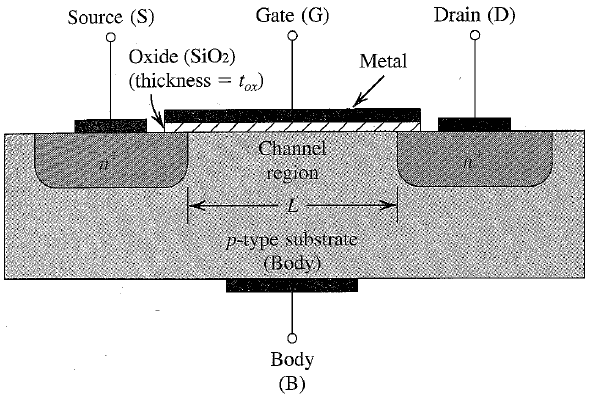
Un reporte en Word o en PDF con las 3 actividades realizadas.

Bibliografía

- **Circuitos Microelectrónicos**, 5a edición, Adel S. Sedra , Kenneth C. Smith, McGraw-Hill, México, 2006

Actividades de la semana 3a: Modelo del transistor MOSFET (canal N).

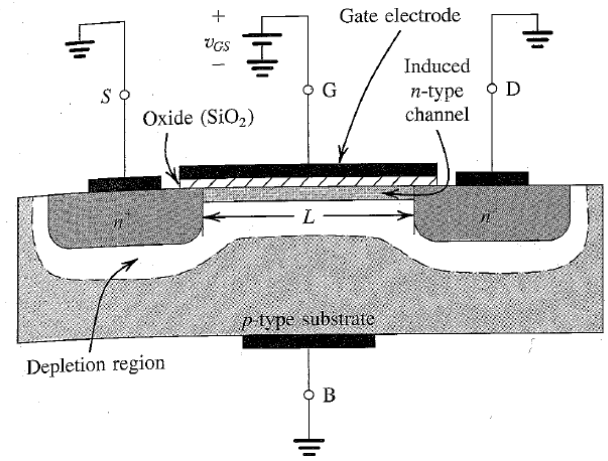
1. Explique a detalle la siguiente figura



Traducciones: channel=canal; oxide=oxido; source=fuente; thickness=espesor; gate=compuerta; drain=drenaje; type=tipo; substrate=substrato; body=cuerpo.

Corte transversal de un transistor MOSFET canal N sin polarizar. Observe que la región del canal es de dopado tipo p.

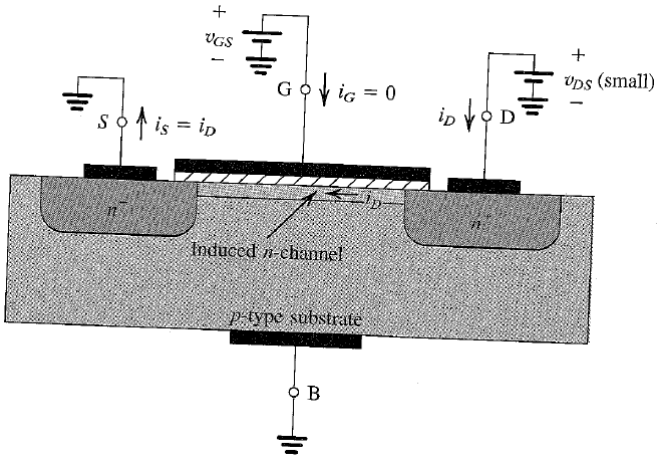
2. Explique a detalle la siguiente figura



Traducciones: electrode=electrodo; depletion=agotamiento; induced=inducido.

Corte transversal de un transistor MOSFET canal N con fuente y drenaje conectados a tierra y compuerta conectada a un voltaje mayor que el voltaje de umbral. Debido al campo eléctrico bajo la compuerta, los electrones han pasado a ser los portadores mayoritarios en el canal. Esto es equivalente a decir que se ha inducido un canal de tipo n. Nótese que existe una región de agotamiento alrededor del transistor incluyendo al canal.

3. Explique a detalle la siguiente figura



Traducciones: small=pequeño.

Corte transversal de un transistor MOSFET canal N con la fuente conectada a tierra, con el voltaje de compuerta mayor que el voltaje de umbral y con un nivel de voltaje pequeño en drenaje. La presencia del canal inducido tipo n hace posible la presencia de una corriente entre las regiones activas tipo n. La corriente convencional fluye del drenaje a la fuente.

4. Explique a detalle la siguiente gráfica

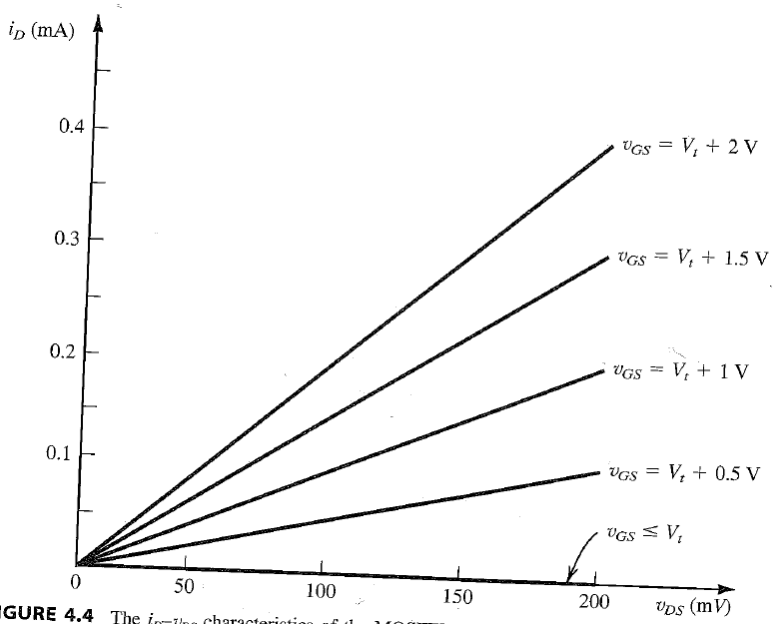
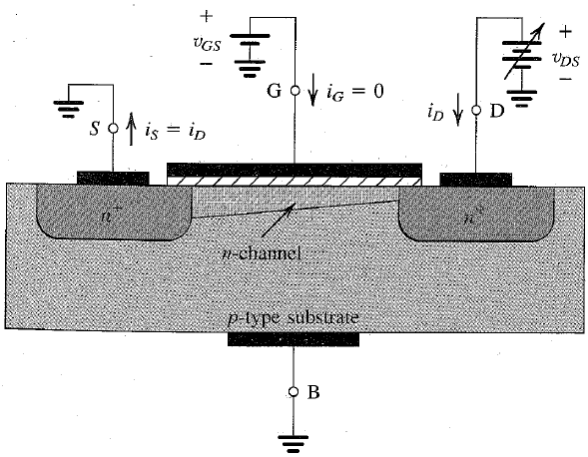


FIGURE 4.4 The i_D–v_{DS} characteristics of the MOS

Comportamiento de la corriente de drenaje a fuente (también llamada simplemente corriente de drenaje o i_D) cuando el voltaje de drenaje se mantiene a un valor bajo (usualmente menos de 200mV). El transistor se comporta como una resistencia cuyo valor en Ohms se controla por el voltaje de compuerta.

5. Explique a detalle la siguiente figura



Corte transversal de un transistor MOSFET canal N con fuente conectada a tierra, con voltaje de compuerta mayor que el voltaje de umbral y con un nivel de voltaje creciente en el drenaje. El canal cada vez conduce más corriente pero se va haciendo cada vez más delgado del lado del drenaje.

6. Explique a detalle las siguientes figuras

Gráfica que modela el comportamiento de la corriente de drenaje del transistor MOSFET canal n en función del voltaje de drenaje a fuente. Consideramos tres regiones de operación del MOSFET (se explica con el MOSFET canal N; para el MOSFET canal P, es similar pero los signos se invierten).

Región de corte: Si $V_{GS} < V_t$ el canal permanece tipo p y por tanto i_D=0.

Si $V_{GS} \geq V_t$, el canal ha cambiado a ser de tipo n. En este caso el transistor puede estar en región de triodo o en región de saturación:

Región de triodo: Si $V_{DS} < V_{GS} - V_t$, el transistor se encuentra en región de triodo y la corriente de drenaje se modela como

Región de saturación: Si $V_{DS} \geq V_{GS} - V_t$, el transistor se encuentra en región de saturación y la corriente de drenaje se modela como

En ambos casos:

7. Tabule los valores de I_D para un transistor MOSFET canal n de dimensiones L=0.6µm y W=12µm.

- Encontrar los valores de K_n' y de V_t para el transistor NMOS en la página: https://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ami-c5/v43f-params.txt
- Usar un valor de V_{GS}=2V.
- Tabular I_D para V_{DS}={0.0, 0.2, 0.4, …, 3.6, 3,8, 4.0}V.

Precaución: para cada valor de V_{DS}, usted debe determinar si debe usarse el modelo para la región de triodo o para la de saturación.

- Haga una gráfica con los resultados.

1 Entregable:

Un reporte en Word o en PDF con las 7 actividades realizadas.

Bibliografía

- **Circuitos Microelectrónicos**, 5a edición, Adel S. Sedra , Kenneth C. Smith, McGraw-Hill, México, 2006

Actividades de la semana 3b: Modelo del transistor MOSFET (canal P).

El MOSFET de canal *p*

Un MOSFET de canal p del tipo de enriquecimiento (transistor PMOS) se fabrica en un sustrato tipo n con regiones p^+ para el dren y fuente, y tiene huecos como portadores de carga. El dispositivo opera en la misma forma que el dispositivo de canal n, excepto que υ_{GS} y υ_{DS} son negativos y el voltaje de umbral V_t es negativo. Del mismo modo, la corriente i_D entra en la terminal de la fuente y sale por la terminal del drenaje.

1 a 7. Modifique las figuras de la Actividad-3a (o busque otras figuras en Internet o en libros) para que sirvan para el transistor MOSFET canal P. Realice las mismas actividades que se pidieron para el MOSFET canal N, pero ahora para el transistor MOSFET canal P.

1 Entregable:

Un reporte en Word o en PDF con las 7 actividades realizadas.

Bibliografía

- **Circuitos Microelectrónicos**, 5a edición, Adel S. Sedra , Kenneth C. Smith, McGraw-Hill, México, 2006

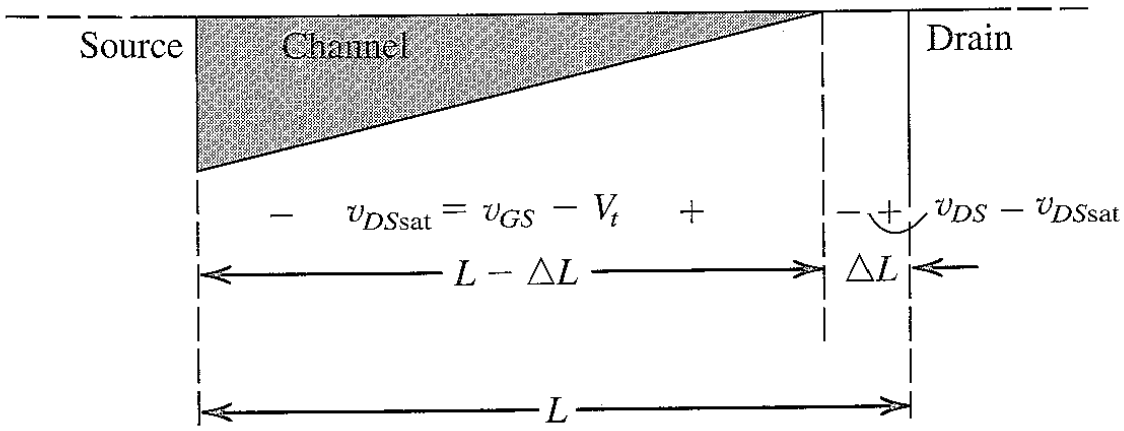
Actividades de la semana 4: Análisis estático del inversor CMOS.

1. Ayúdese de las siguientes figuras para explicar el efecto de modulación de canal.

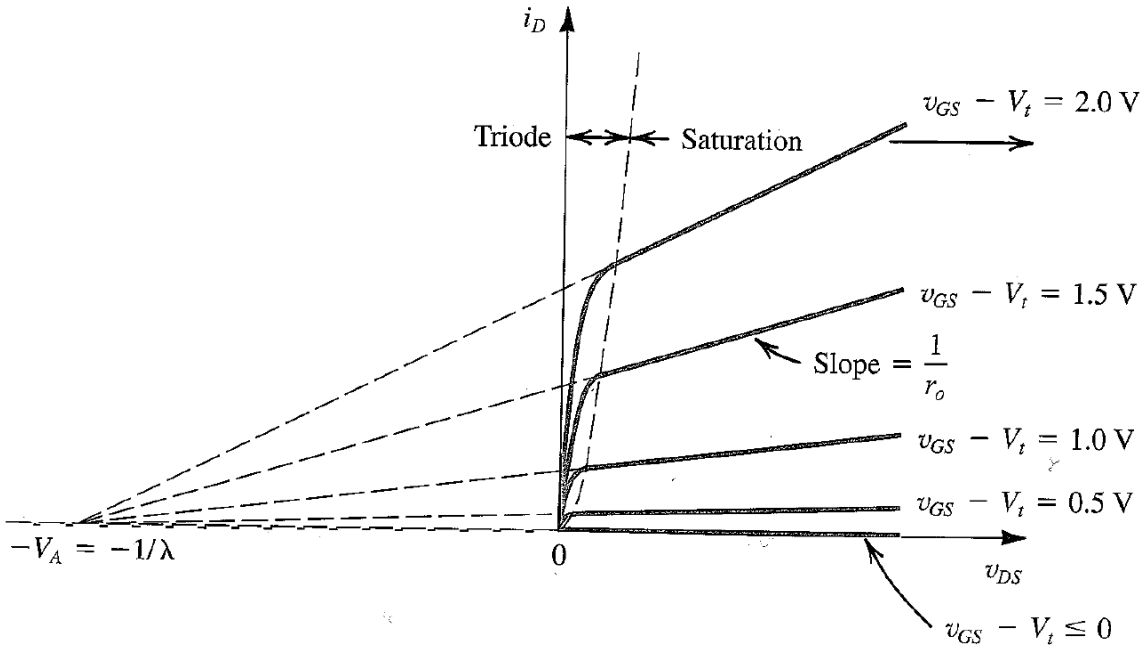
A continuación se muestra un modelo más completo para la corriente de drenaje cuando el transistor está en saturación. Nótese que incluye un factor que depende de V_{DS}. En ocasiones usaremos esté modelo más completo y en ocasiones el más simple (el modelo más simple no incluye el factor mencionado).

$$i_D = \frac{1}{2} k_p' \frac{W}{L} (v_{GS} - V_t)^2 (1 + \lambda v_{DS})$$

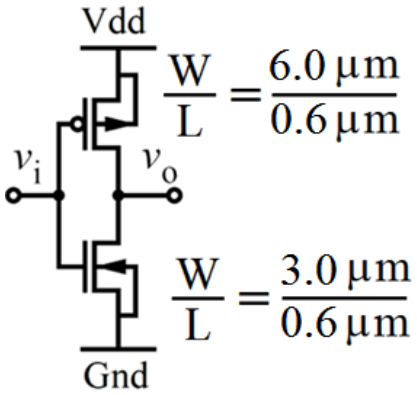
Un transistor en región de saturación posee un canal extrangulado. Al aumentar V_{DS} el punto donde se comienza a extrangular el canal se recorrerá hacia la fuente. Con esto se logra una resistencia menor en el canal. El efecto neto en el cual la resistencia disminuye (la corriente aumenta) con el aumento de V_{DS}, se muestra en la ecuación anterior.



A continuación se muestra una familia de curvas de la corriente de drenaje para diferentes valores de V_{GS}. Obsérvese que el factor que contiene a V_{DS} nos sirve para modelar la pendiente (inclinación) de las curvas en la región de saturación.



2. Explique la operación lógica de la siguiente compuerta empleando el modelo de los transistores como interruptores abiertos o cerrados. O bien modele los transistores como una resistencia de muy bajo valor (kΩ) o de muy alto valor (TΩ). Obtenga su tabla de verdad empleando niveles L y H.

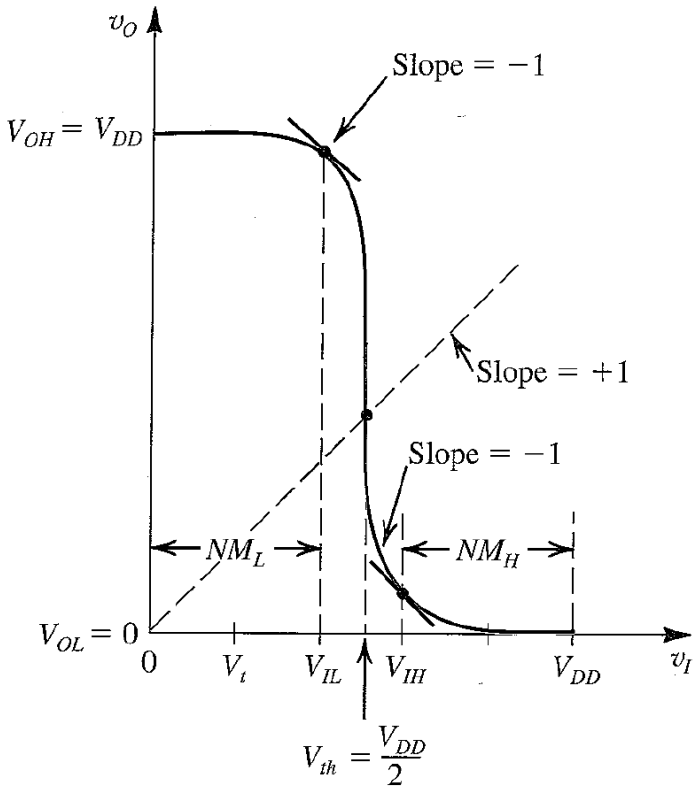


3. Use los valores V_{Tn}=0.67V, V_{Tp}=-0.86V, K'_n=114.6μA/V^2, K'_p=37.8μA/V^2, $\lambda_n=\lambda_p$=0.05V^{-1} y trace la Curva de Transferencia de Voltaje del Inversor mostrada a continuación. Para ello calcule manualmente los siguientes puntos:

1) Punto donde el transistor NMOS pasa de corte a saturación.
2) Punto donde el transistor PMOS pasa de saturación a corte.
3) Punto $V_{in}=V_{th}$ del inversor. Definido como el punto donde $V_{in}=V_{out}$ (emplee las fórmulas del PMOS y el NMOS en saturación incluyendo el factor que contiene a V_{DS})
4) Punto $V_{in}=V_{IL}$, a la izquierda del punto V_{th}, donde la pendiente es -1 (la pendiente es la derivada de $V_{out}=f(V_{in})$

5) Punto $V_{in}=V_{IH}$, a la derecha del punto V_{th}, donde la pendiente es -1 (la pendiente es la derivada de $V_{out}=f(V_{in})$

Nota: antes de aplicar las fórmulas para encontrar cada uno de los puntos pedidos, usted debe primero determinar en qué región trabaja el NMOS y en qué región trabaja el PMOS.



3. Cambie la W del transistor PMOS en el diagrama esquemático del inversor para lograr que $V_{th}=V_{DD}/2$. Para ello use los valores $V_{Tn}=0.67V$, $V_{Tp}=-0.86V$, $K'_n=114.6\mu A/V^2$, $K'_p=-37.8\mu A/V^2$, $\lambda_n=\lambda_p=0.05V^{-1}$.

4. Encuentre los puntos donde el transistor NMOS pasa de región de saturación a triodo y donde el transistor PMOS pasa de triodo a saturación.

1 Entregable:

Un reporte en Word o en PDF con las 4 actividades realizadas.

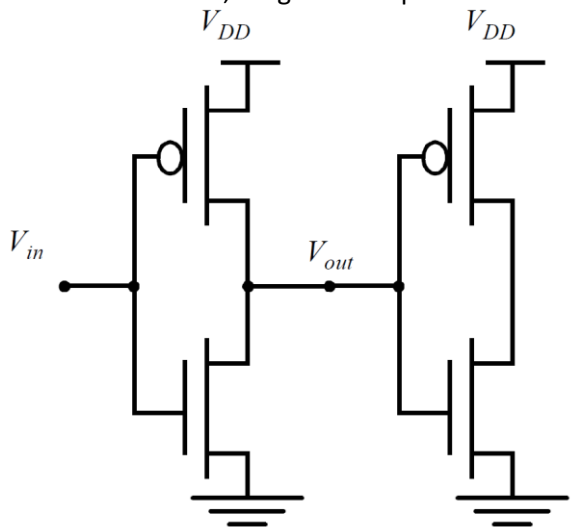
Bibliografía

- **Circuitos Microelectrónicos**, 5a edición, Adel S. Sedra , Kenneth C. Smith, McGraw-Hill, México, 2006

Actividades de la semana 5: simulación del inversor CMOS.

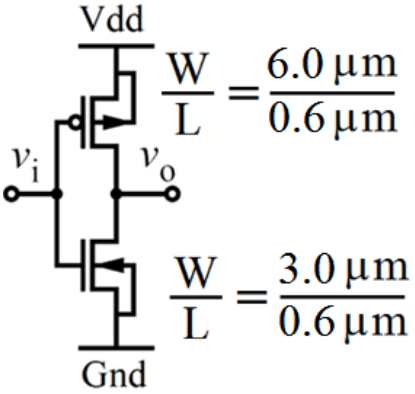
Nota: Solicite al profesor el **software** para la simulación en SPICE, el manual de usuario correspondiente, así como el **Archivo** de **Set-up** para la tecnología **"On Semiconductor C5"** (el archivo de Set-up son los modelos SPICE de los transistores MOSFET). Solicite también una presentación de guía para el uso de SPICE.

Parte 1. Capture el circuito del inversor en un archivo de texto código SPICE de **exptensión .sp**. Emplee SPICE para hacer una **simulación de barrido .dc** del Inversor para obtener su curva de transferencia de voltaje V_{OUT} vs. V_{IN}. Con la finalidad de hacer una simulación más cercana a las condiciones reales, asegúrese de poner otro Inversor como carga a la salida del primer inversor.



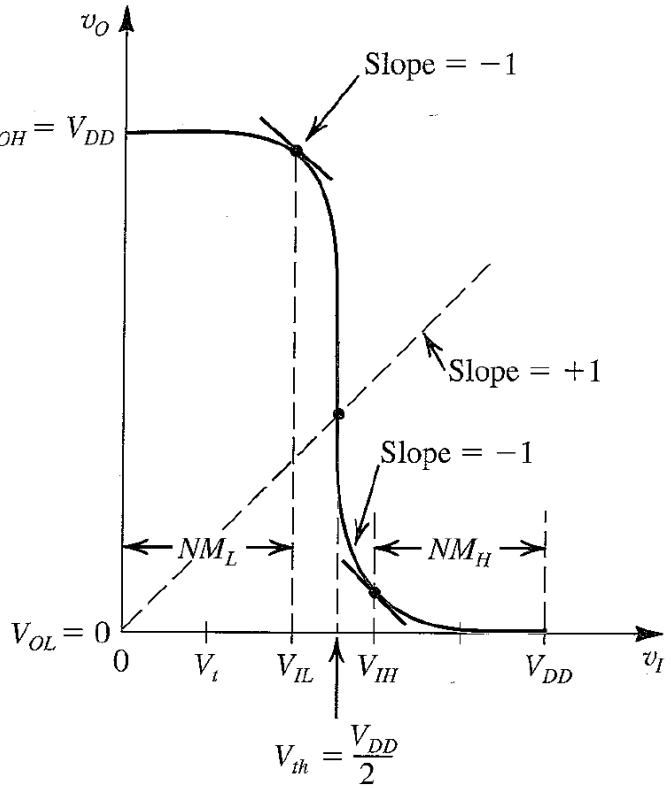
Nota: tome en cuenta que la cuarta terminal (substrato) de los transistores no se muestra en el diagrama pero hay que tomarla en cuenta al capturar el listado de espice.

Las dimensiones de los transistores de ambos inversores están dadas en la siguiente figura



Parte 2. Mediante el simulador spice y el programa para obtener gráficas obtenga la curva de transferencia de voltaje mostrada en la siguiente figura.

Obtenga también una lista de los valores más importantes de esta curva como: V_{IL}, V_{IH}, y V_{th}.



Parte 3. Realice un ajuste fino (simulación a prueba y error) para modificar el ancho del transistor PMOS hasta lograr que efectivamente $V_{th}=V_{DD}/2$.

1 Entregable:

Un reporte en Word o en PDF con las 3 paertes realizadas.

Bibliografía

- **Circuitos Microelectrónicos**, 5a edición, Adel S. Sedra , Kenneth C. Smith, McGraw-Hill, México, 2006

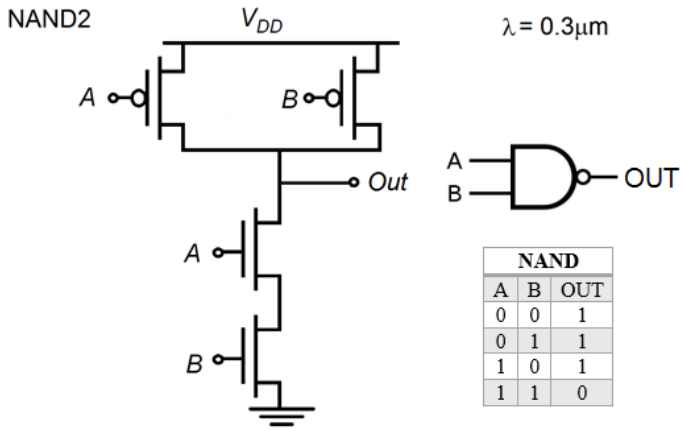
Actividades de la semana 6: Caracterización de celdas digitales.

Para poder estimar el retardo de un módulo digital sintetizado mediante un flujo de diseño automatizado, las celdas de la librería usada deben estar correctamente caracterizadas. Para ello se deben obtener mediante un simulador a nivel transistor los siguientes parámetros:

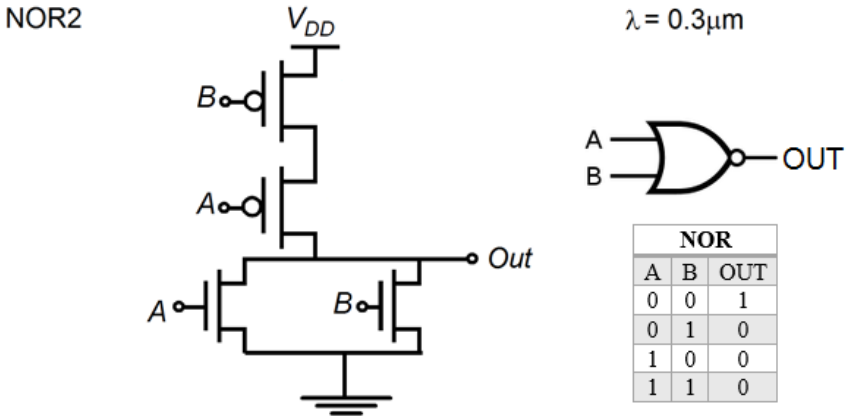
Parámetros para celdas combinacionales:

D_I - Retardo intrínseco: Tiempo de propagación del 50% de la transición de la señal de entrada al 50% de la transición de la señal de salida. Tomar el peor caso.
C_{gate} - Capacitancia de entrada: Suma de las capacitancias parásitas de las compuerta de los transistores conectadas a cada entrada. Tomar el peor caso.
I_{out} - Corriente de salida máxima: Corriente máxima proporcionada a la salida de la compuerta. Hacer la prueba conectando un capacitor de carga a la salida y la señal de entrada con una pendiente muy abrupta. Tomar el peor caso.

Parte 1. Caracterice las siguientes celdas NAND2 y NOR2. En todos los casos L=0.6um, W_n=3.0um y W_p=6.0um.



NAND		
A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

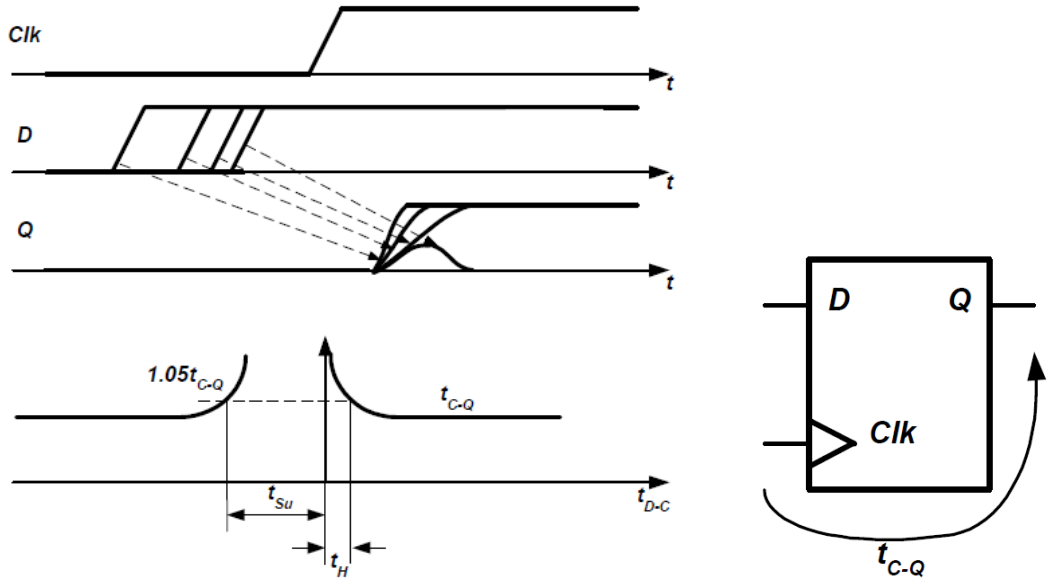


NOR		
A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	0

Nota: Comprobar que el funcionamiento lógico de ambas celdas es el esperado (simulación **.op**).

Parámetros para celdas secuenciales (flip-flop-D):

t_{su} - Set-up time: Tiempo en que la señal de entrada D debe permanecer estable **previo** al flanco de subida de la señal de reloj. Tomar el peor caso.
t_{hold} - Hold time: Tiempo en que la señal de entrada D debe permanecer estable **después** del flanco de subida. Tomar el peor caso.
$t_{c\text{-}q}$ - Retardo de propagación: Tiempo de propagación del 50% de la transición de la señal de entrada D al 50% de la transición de la señal de salida Q. Tomar el peor caso.

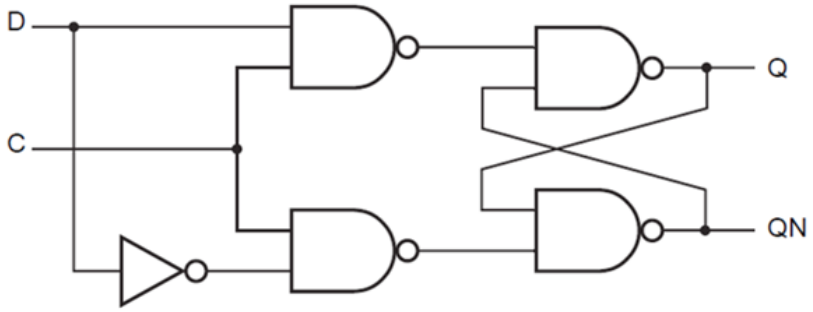


Parte 2. Caracterice el flip-flop-D descrito a continuación. En todos los casos L=0.6um, W_n=3.0um y W_p=6.0um.

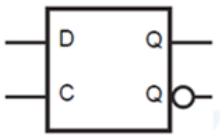
Nota: Para la descripción en Spice del flip-flop-D primero debe usar las definiciones de subcircuito. 1º) debe definir dos subcircuitos. Uno para el Inversor y otro para la compuerta NAND2. Luego debe debinir otro subcircuito ara el Latch-D, el cual emplea inversores y compuertas NAND2. Y por último debe definir el flip-flop-D que emplea dos Latches-D.

Nota: Comprobar el funcionamiento lógico del flip-flop-D (emplear simulación **.tran**)

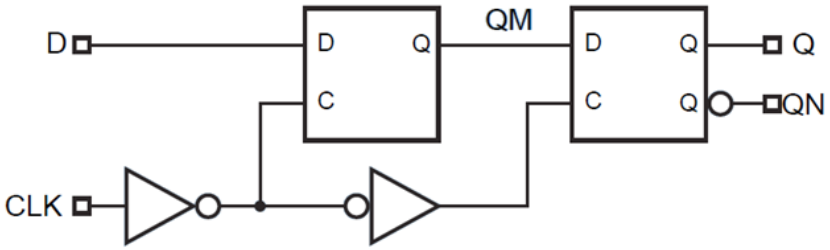
Latch-D



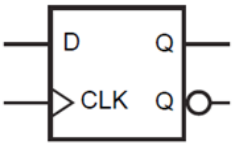
C	D	Q	QN
1	0	0	1
1	1	1	0
0	x	Q anterior	QN anterior



FLIP-FLOP-D



D	CLK	Q	QN
0	↑	0	1
1	↑	1	0
x	0	last Q	last QN
x	1	last Q	last QN



1 Entregable:

Un reporte en Word o en PDF con las 2 partes realizadas.